

Programma effettivamente svolto del corso di Tecnologie e Tecniche di Installazione e Manutenzione Anno scolastico 2014 – 2015 CLASSE IV°R I.P.I.A.

Elettronica digitale concetti base

- Il sistema di numerazione binario, ottale ed esadecimale – conversioni. Somme, sottrazioni, moltiplicazioni e il complemento a 2 .
- la rappresentazione dei numeri interi relativi a 8 bit signed con il complemento a due e operazioni su di essi .
- Le variabili logiche .
- L'algebra di Boole, le proprietà e i suoi teoremi .
- Le funzioni logiche primarie: AND, OR e NOT e le universali: NAND, NOR e le esclusive: XOR e XNOR .
- La sintesi di una funzione logica mediante le funzioni logiche universali.

Le reti logiche combinatorie

- Funzioni logiche e tabelle della verità.
- Circuiti logici combinatori implementati con porte logiche elementari.
- Forme canoniche, mintermini e maxtermini, sintesi di reti combinatorie in forma canonica.
- La minimizzazione delle funzioni logiche.
- La minimizzazione mediante le mappe di Karnaugh (mappe di uni e di zeri).
- Le scale di integrazione e le famiglie logiche integrate .
- I MUX e i DMUX multiplexer e demultiplexer .
- I circuiti combinatori aritmetici, l'H.A. e il F.A. (half.adder e full-adder) e il sommatore a n bit .

Le caratteristiche dei componenti attivi e dei circuiti integrati digitali

- Il diodo e il transistor (BJT e MOS) nel loro funzionamento ON/OFF e i loro modelli idraulici .
- Le famiglie logiche integrate: RTL, DTL, TTL, ECL, N-MOS, P.MOS, C-MOS ecc. .
- I TTL e i C-MOS Caratteristiche e stadi di uscita (Totem pole, 3-state e Open collector); il Fan-out.
- Il tempo di ritardo (tempo di propagazione) nei circuiti logici .
- Le scale di integrazione e le famiglie logiche integrate .

Le reti logiche sequenziali

- Il latch SR, la sua sintesi con le porte NAND e NOR.
- Il latch D.
- I diagrammi temporali dei latch.
- I flip-flop D edge triggered.
- I flip-flop JK edge triggered.
- I flip-flop T.
- I diagrammi temporali dei flip-flop.
- La sintesi di un JKFF e di un DFF a partire da un SRFF; la sintesi di un TFF a partire da un JKFF .
- I contatori asincroni introduzione modulo 8 e 10 (UP & DOWN) .
- I decoder "BCD to seven" per pilotaggio dei display teoria di funzionamento .
- I contatori sincroni Modulo M, sintesi e tecniche per evitare stati di blocco.

Shifter register ed elementi di logica programmabile

- Shifter register: architettura SISO, SIPO, PISO; PIPO.
- Elementi di logica programmabile: dispositivi ASIC, PLA, PAL.

Il docente

Prof. PATERGNANI ing. Paolo
(Supplente MARTINO ing. Leonardo)

Gli alunni:

Il docente tecnico pratico
Prof. PREVIDI Massimo